

MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM TRANSISTOR, AND ACTIVE MATRIX SUBSTRATE

Patent number: JP2000340503

Publication date: 2000-12-08

Inventor: ABE HIROYUKI

Applicant: SEIKO EPSON CORP

Classification:

- international: G02F1/136; G09F9/30; H01L21/20; H01L21/268; H01L21/336; H01L29/786; G02F1/13; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): H01L21/20; G02F1/136; G09F9/30; H01L21/268; H01L21/336; H01L29/786

- european:

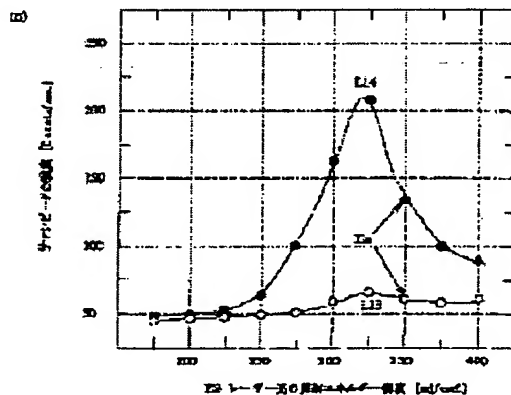
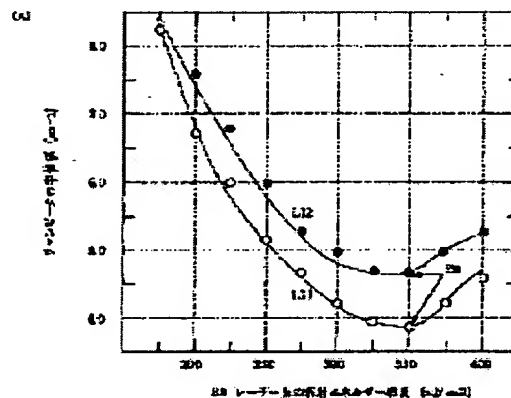
Application number: JP19990146394 19990526

Priority number(s): JP19990146394 19990526

Report a data error here

Abstract of JP2000340503

PROBLEM TO BE SOLVED: To provide a manufacture for a high quality semiconductor film which has a large particle size, high in crystallinity, and low in surface roughness. **SOLUTION:** Energy light irradiation for obtaining a polycrystalline silicon film is conducted twice, and the first irradiation is made in a vacuum having no oxide film removal processing of a semiconductor film surface, or is made in the atmosphere or in the ambience in which any gas is filled up to the exclusion of vacuum. A surface processing of a semiconductor film is performed prior to the second irradiation, and after the oxide film is eliminated, the irradiation is made in vacuum. Furthermore, intensity of second energy light irradiation is adjusted so as not to exceed the irradiation intensity of the first energy lights.



Data supplied from the esp@cenet database - Worldwide

Family list

1 family member for:

JP2000340503

Derived from 1 application.

[Back to JP2000340503](#)

**1 MANUFACTURE OF SEMICONDUCTOR FILM AND THIN-FILM TRANSISTOR,
AND ACTIVE MATRIX SUBSTRATE**

Publication info: JP2000340503 A - 2000-12-08

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-340503

(P 2 0 0 0 - 3 4 0 5 0 3 A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/20		H01L 21/20	2H092
G02F 1/136	500	G02F 1/136	500 5C094
G09F 9/30	338	G09F 9/30	338 5F052
H01L 21/268		H01L 21/268	F 5F110
29/786		29/78 627 G	
審査請求 未請求 請求項の数12 O L (全13頁) 最終頁に続く			

(21) 出願番号 特願平11-146394

(22) 出願日 平成11年5月26日 (1999.5.26)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 阿部 裕幸

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

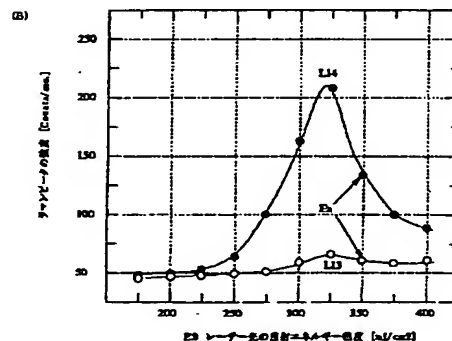
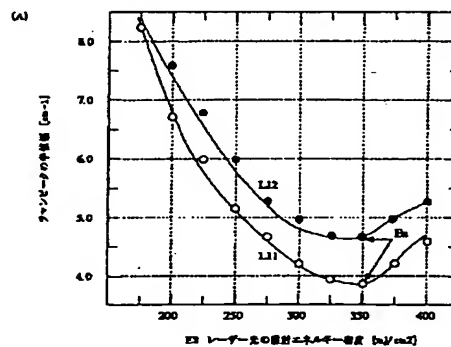
最終頁に続く

(54) 【発明の名称】 半導体膜の製造方法、薄膜トランジスタの製造方法、アクティブマトリクス基板

(57) 【要約】

【課題】 大粒径を有し、結晶性の高いかつ表面荒れの少ない高品質半導体膜の製造方法を提供することを課題とする。

【解決手段】 多結晶シリコン膜を得るためのエネルギー光照射を2回とし、その1回目は半導体膜表面の酸化膜除去処理なしで真空中にて行う、または大気中あるいは何らかのガスを充填した真空を除く雰囲気にて行う。2回目の照射の前には半導体膜の表面処理を行い酸化膜除去をした後、照射を真空中にて行う。また2回目のエネルギー光照射の強度が、1度目のエネルギー光の照射強度を越さないようにする。



【特許請求の範囲】

【請求項1】 基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、前記半導体膜に第1エネルギー光の照射を行う工程と、前記第1エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第2エネルギー光の照射を行う工程を有することを特徴とする半導体膜の製造方法。

【請求項2】 請求項1において、前記第1及び第2エネルギー光の少なくとも一方はレーザー光であることを特徴とする半導体膜の製造方法。

【請求項3】 請求項2において、前記レーザー光はラインビームであることを特徴とする半導体膜の製造方法。

【請求項4】 請求項1ないし3のいずれか一項において、前記第1エネルギー光の照射は、真空中にて行うことを特徴とする半導体膜の製造方法。

【請求項5】 請求項1ないし3のいずれか一項において、前記第1エネルギー光の照射は、大気中または所定のガスを充填した真空を除く雰囲気にて行うことを特徴とする半導体膜の製造方法。

【請求項6】 請求項1ないし5のいずれか一項において、前記第1エネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないことを特徴とする半導体膜の製造方法。

【請求項7】 請求項1ないし6のいずれか一項において、前記第1エネルギー光の照射を行う工程の後、前記半導体膜表面の酸化膜を除去する工程を有することを特徴とする半導体膜の製造方法。

【請求項8】 請求項1ないし7のいずれか一項において、前記第2エネルギー光の照射は、真空中にて行うことを特徴とする半導体膜の製造方法。

【請求項9】 請求項1ないし8のいずれか一項において、前記第2エネルギー光の照射は、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えないかつ、前記第1エネルギー光の照射強度を越えないことを特徴とする半導体膜の製造方法。

【請求項10】 請求項1ないし9のいずれか一項において、前記第2エネルギー光の照射は、ラインビームであるエネルギー光の長手方向を、第1エネルギー光の照射時のラインビーム長手方向とは90度回転させることを特徴とする半導体膜の製造方法。

【請求項11】 請求項1ないし10のいずれかに規定する半導体膜の製造方法によって得た結晶性半導体膜から薄膜トランジスタを形成することを特徴とする薄膜トランジスタの製造方法。

【請求項12】 請求項11に規定する薄膜トランジスタの製造方法によって製造した薄膜トランジスタを有す

ることを特徴とするアクティブマトリクス基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板表面に形成した半導体薄膜にエネルギー光を照射してその結晶化処理、あるいは結晶性を高めるための処理を行う半導体膜の製造方法、それを用いた薄膜トランジスタ（以下、TFTという。）の製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板、および半導体膜の製造方法に用いるアニール装置に関するものである。

【0002】

【従来の技術】液晶表示装置に用いられるアクティブマトリクス基板では、基板に汎用の安価なガラス基板を用いることができるよう低温プロセスによるTFTの製造が望まれている。ここで、TFTのチャネル領域等を形成するのに必要なシリコン膜のうち、アモルファスシリコン膜については低温プロセスによって成膜できるものの、アモルファスシリコンのままでは得られるTFTの移動度が低いという欠点がある。

【0003】そこで、基板上に形成したアモルファスシリコン膜にレーザー光（エネルギー光）を照射して熔融結晶化する方法（レーザーアニール）が検討されている。このようなレーザー光による熔融結晶化においては、その照射レーザー光強度、照射雰囲気そしてアモルファスシリコン膜の表面状態により、得られる結晶性半導体膜の結晶粒径や結晶性、そして表面粗さが異なる。プロセス雰囲気やアモルファスシリコン膜表面に酸素などの分子が存在すると、その分子を核とした結晶成長が起こり、粒径は拡大するが、欠陥が多い。また表面に大きな荒れが生じる。一方、表面処理によりアモルファスシリコン膜表面の酸化膜を取り除いた後、真空中にてレーザーアニールを行うと、幾分粒径は小さいが結晶性は高く、表面の荒れも小さい。これら処理条件のうち、粒径の大型化を図った場合の方が、比較的高いTFT特性が得やすいため、大気中にてレーザーアニールが行われている。

【0004】

【発明が解決しようとする課題】しかしながら、従来の半導体膜の製造方法では、TFTのチャネル部に大粒径が掛からなかった場合には、そのTFT特性は低くなってしまうばらつきの原因となる。また大きな表面荒れが生じるために、ゲート絶縁膜の耐圧が低下するといった問題点が生じる。

【0005】これら問題点に鑑みて、本発明の課題は、大粒径が得られてかつ、結晶性の向上を図ることによって、ばらつきを低減し、また表面荒れを抑えることによってゲート耐圧の向上が可能となる高品質な半導体膜の製造方法、それを用いたTFTの製造方法、この方法で製造したTFTを用いたアクティブマトリクス基板を提供することにある。

【0006】

【課題を解決するための手段】上記課題を解決するために、本発明では、基板上に半導体膜を形成する成膜工程と、前記半導体膜に対してエネルギー光を照射して結晶性半導体膜を得る半導体膜の製造方法において、前記半導体膜に第1エネルギー光の照射を行う工程と、前記第1エネルギー光の照射を行う工程の後に、前記半導体膜の表面処理を施す工程と、前記表面処理を施す工程の後に、前記半導体膜に第2エネルギー光の照射を行う工程を有することを特徴とする。

【0007】本発明では、前記半導体膜への第1エネルギー光の照射は、前記半導体膜表面の酸化膜除去処理なしで真空中にて、または大気中若しくは所定のガスを充填した真空を除く雰囲気にて、そのエネルギー光の強度が、前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度によって行っているため、酸素分子等を核とした結晶成長が生じることにより、結晶の大粒径化が図られる。

【0008】続いて前記半導体膜表面の酸化膜除去のための表面処理を行った後、前記半導体膜への第2エネルギー光の照射を真空中にて、そのエネルギー光の強度が前記半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度かつ、1度目のエネルギー光の照射強度を越えない強度によって行っているため、一度目の照射によって形成された大粒径を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減が図られる。

【0009】さらに前記半導体膜への第2エネルギー光の照射は、ラインビームであるエネルギー光の長手方向を、1度目のエネルギー光照射時のラインビーム長手方向とは90度回転して行っているため、ラインビームの照射跡が打ち消されることによって、一層、結晶性の均一性が向上する。

【0010】本発明では、2度の結晶化のためのエネルギー光の照射と表面処理のタイミングを組み合わせることによって、半導体膜は大粒径かつ均一性の高い結晶性を有する。それ故、このように構成した半導体膜を用いてTFTを製造すると、ばらつきのない高い電気特性を得られる。

【0011】本発明に係る結晶性半導体膜の製造方法は、この方法で得た結晶性半導体膜からTFTを製造することが好ましく、この方法で製造したTFTは、大型基板において高性能の電気特性が要求される液晶表示装置用のアクティブマトリクス基板上で駆動回路や画素スイッチング素子を構成するのに適している。

【0012】

【発明の実施の形態】本発明の各実施の形態を説明する前に、各形態で共通なアクティブマトリクス基板の基本的な構成、およびTFTを形成する基本的な工程を説明する。

【0013】〔アクティブマトリクス基板の基本構成〕

図1(A)は、液晶表示装置に用いるアクティブマトリクス基板の構成を模式的に示す説明図である。

【0014】この図において液晶表示装置1は、そのアクティブマトリクス基板2上にデータ線3および走査線4が形成されている。そして、データ線3及び走査線4には画素用薄膜トランジスタ10を介して画素電極が接続されており、画素領域5がマトリクス上に形成されている。また、そこには画素用のTFT10を介して画像信号が入力され、液晶セルの液晶容量6が構成されている。

【0015】データ線3に対しては、シフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74を備えるデータドライバ部7が構成され、走査線4に対しては、シフトレジスタ81およびレベルシフタ82を備える走査ドライバ部8が構成されている。なお、画素領域5には、前段の走査線4との間に保持容量25が形成されることもある。

【0016】データドライバ部7や走査ドライバ部8では、図1(B)に2段のインバータを例示するように、N型のTFTn1、n2と、P型のTFTp1、p2とによって構成されたCMOS回路などが高密度に形成される。但し、アクティブマトリクス部9のTFT10と、データドライバ部7のTFTn1、n2やP型のTFTp1、p2とは、基本的な構造が同じであり、基本的には同じ工程中で製造される。

【0017】アクティブマトリクス基板2としては、アクティブマトリクス部9だけが基板上に構成されたものの、アクティブマトリクス部9と同じ基板上にデータドライバ部7が構成されたもの、アクティブマトリクス部9と同じ基板上に走査ドライバ部8が構成されたもの、アクティブマトリクス部9と同じ基板上にデータドライバ部7および走査ドライバ部8の双方が構成されたものがある。また、ドライバ内蔵型のアクティブマトリクス基板2であっても、データドライバ部7に含まれるシフトレジスタ71、レベルシフタ72、ビデオライン73、アナログスイッチ74等の全てがアクティブマトリクス基板2上に構成された完全ドライバ内蔵タイプと、それらの一部がアクティブマトリクス基板2上に構成された部分ドライバ内蔵タイプとがあるが、いずれに対しても本発明を適用できる。

【0018】図2は、本形態のアクティブマトリクス基板2において画素領域5が形成されているアクティブマトリクス部の一部を拡大して示す平面図であり、図3(A)は図2のA-A'線における断面図、図3(B)は図2のB-B'線における断面図である。なお、データドライバ部7などのTFTは基本的には同一の構造を有するので、その図示を省略する。

【0019】これらの図において、いずれの画素領域5におけるTFT10はデータ線3に対して層間絶縁膜16に形成されたコンタクトホール17を介して電氣的接

統するソース領域11、画素電極19に対して層間絶縁膜16に形成されたコンタクトホール18を介して電気的接続するドレイン領域12、ドレイン領域12とソース領域11との間に位置するチャンネル領域13、およびチャンネル領域13に対してゲート絶縁膜14を介して対峙するゲート電極15から構成されている。このゲート電極15は走査線4の一部として構成されている。なお、基板20の表面側には、シリコン酸化膜からなる下地保護膜21が形成されている。

【0020】〔アクティブマトリクス基板2の製造方法の基本構成〕図4を参照して、TFTの製造方法の基本的な工程を説明する。図4は、図2のA-A'線における断面に対応するTFTの工程断面図である。

【0021】本例では、ガラス基板として、300mm角の無アルカリガラス板を用いて以下の各工程を行なう（下地保護膜形成工程）図4（A）において、まず、PECVD法により250～400℃の温度条件下で、ガラス基板20の表面に下地保護膜21となる膜厚が300nmのシリコン酸化膜を形成する。シリコン酸化膜は、APCVD法でも形成することができ、この場合には基板20の温度を250℃から450℃までの範囲に設定した状態で、モノシラン及び酸素を原料ガスとしてシリコン酸化膜を形成する。

【0022】（半導体膜堆積工程）次に、下地保護膜21の表面に真性のシリコン膜30（半導体膜）を50nm程度堆積する。本例では、高真空型LPCVD装置を用いて、原料ガスであるジシランを200SCCM流しながら、425℃の堆積温度でアモルファスシリコン膜30を堆積する。なお、シリコン膜30の形成にあたっては、PECVD法やスパッタ法を用いてもよく、これらの方法によれば、その成膜温度を室温から350℃までの範囲に設定することができる。

【0023】（レーザー溶融結晶化法によるアニール工程）続いてアモルファスシリコン膜30にレーザー光を照射してアモルファスシリコン膜30を多結晶シリコンに改質する。本例では、ゼノン・クロライド(XeCl)のエキシマ・レーザー（波長が308nm）を照射する。出力が200Wであるこのレーザービームを光学系を介することによって、長尺方向が150mm、断面のビーム形状は上底が0.35mm、下底が0.45mmである台形のラインビームを形成している。そしてこのラインビームを、基板に対して上底のビーム幅以下のピッチで重なりを持ちながら、照射をしていくことによって、アモルファスシリコン膜は溶融結晶化により多結晶シリコン膜となる。

【0024】本発明では、このアニール工程のレーザー照射を2度に分けて行い、前後するレーザー照射の間に酸化膜除去のための表面処理を行うが、その詳細な説明は実施の形態に後述する。

【0025】（シリコン膜のバターニング工程）次に、

図4（B）に示すように、アニール工程で多結晶化したシリコン膜30を、フォトリソグラフィ技術を用いてバターニングを行い、島状のシリコン膜31とする。

【0026】（ゲート絶縁膜の形成工程）次に、図4（C）に示すように、PECVD法により250℃～400℃の温度条件下で、シリコン膜31に対してシリコン酸化膜からなるゲート酸化膜14を形成する。

【0027】（ゲート電極形成工程）次に、ゲート酸化膜14の表面側に膜厚が600nmのタンタル薄膜をスパッタ法により形成した後、それをフォトリソグラフィ技術を用いてバターニングし、ゲート電極15を形成する。本例では、タンタル薄膜を形成する際に、基板温度を180℃に設定し、スパッタガスとして窒素ガスを6.7%含むアルゴンガスを用いる。このように形成したタンタル薄膜は、結晶構造がα構造であり、その比抵抗は小さい。

【0028】（不純物導入工程）次に、バケット型質量非分離型のイオン注入装置（イオンドーピング装置）を用いて、ゲート電極15をマスクとしてシリコン膜31に不純物イオンを打ち込む。Nチャンネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したホスフィンなどを用いる。その結果、ゲート電極15に対してセルフアライン的にソース領域11およびドレイン領域12が形成される。このとき、シリコン膜31のうち、不純物イオンが打ち込まれなかった部分がチャンネル領域13となる。このとき、Pチャンネル型のTFTを形成する領域をレジストマスクで覆っておく。

【0029】逆に、Pチャンネル型のTFTを形成する場合には、原料ガスとして、水素ガスで濃度が5%となるように希釈したジボランなどを用いるが、その際にはNチャンネル型のTFTを形成する領域をレジストマスクで覆っておく。

【0030】（層間絶縁膜の形成工程）次に、図4（D）に示すように、PECVD法により250℃～400℃の温度条件下で、層間絶縁膜16としての膜厚が500nmのシリコン酸化膜を形成する。このときの原料ガスは、TEOSと酸素である。

【0031】（活性化工程）次に、水素を3%含んだアルゴンガス雰囲気下で400℃、1時間の熱処理を行ない、注入したリンイオンの活性化と、層間絶縁膜16の改質とを行なう。

【0032】（配線工程）次に、層間絶縁膜16にコンタクトホール17、18を形成する。しかる後に、図3（A）に示したように、コンタクトホール17、18を介して、ソース電極（データ線3）をソース領域11に電気的に接続し、ドレイン電極（画素電極19）をドレイン領域12に電気的に接続し、TFT10を形成する。

【0033】なお、上記の製造方法は、TFT10をセ

ルフアライン構造として製造する例であったが、TF T 10をLDD構造あるいはオフセットゲート構造で製造する場合でも本発明を適用できる。この場合の構造や製造方法についての説明を省略するが、レジストマスクやサイドウォールを利用して、ソース・ドレイン領域のうち、ゲート電極15の端部に対峙する部分には低濃度ソース・ドレイン領域(LDD領域)、あるいはオフセット領域を形成する。

【0034】 [レーザー照射時のエネルギー密度と膜質] 次に、図4(A)を参照して説明したアニール工程において、アモルファスのシリコン膜30に照射したレーザー光のエネルギー密度(エネルギー強度)と、レーザー照射後の膜質との関係を、図5ないし図6を参照して説明しておく。

【0035】 本発明のいずれの形態でも、後述するように、アモルファスのシリコン膜をレーザー溶融結晶化法により多結晶化させるが、このレーザー溶融結晶化法では、図5に示すように、エネルギー密度Eを増加させていくと、「▲」および一点鎖線L1で示すEc以上でシリコン膜には溶融凝固が起こって多結晶化する。ここで、エネルギー密度Eを増加させるほど、その多結晶化が進むが、エネルギー密度Eが「□」および点線L2で示すEaを超えるとシリコン膜は微結晶化し、移動度の低下が起きてしまう。

【0036】 また、シリコン膜の膜厚が薄い場合には、エネルギー密度EがEaを越えなくても、エネルギー密度Eが「○」および二点鎖線L3で示すEbを超えると、アモルファスシリコン膜に戻ってしまう。なお、エネルギー密度Eが「△」および実線L4で示すEdを超えると、シリコン膜は蒸発、アブレーションしてしまう。

【0037】 また、パルス発振レーザー光のエネルギー密度Eを変えたときのシリコン膜の結晶性と表面粗さを図6に示す。ここで「○」と図6(A)の実線L11と同図(B)のL13によって示したのは、レーザー照射の前に酸化膜除去のための表面処理を行った後、レーザー照射を真空中にて行った結果であり、同じく「●」と図6(A)の実線L12と同図(B)のL14によって示したのは、レーザー照射の前に表面処理を行わず、レーザー照射を真空中にて行った結果である。また大気中や何らかのガスを充填した雰囲気にてレーザー照射を行っても後者と同等な結果となる。

【0038】 図6(A)の縦軸は、ラマンピークの半値幅であるから、その値が小さいほど、結晶性が高いことを表す。また図6(B)の縦軸は、ラマンピークの強度であるから、その値が小さいほど、半導体膜表面からの散乱光が少ないということで、表面荒れが小さいことを表す。

【0039】 これらの結果を比較してわかるように、レーザー溶融結晶化では、エネルギー密度Eの最高値を上

限值Eaにかなり近い値に設定すれば、その結晶性を高めることができ、アモルファス膜表面処理を行った後にレーザー照射を真空中で行った方がより高い結晶性が得られる。ラマンピークの半値幅が上限値Eaをわずかに越えた付近で跳ね上がっているのが、シリコン膜の微結晶化が生じている状態である。

【0040】 一方で表面荒れはエネルギー密度Eが上限値Eaよりわずかに低いエネルギー密度において最大となり、特にレーザー照射の前に表面処理を行わずにレーザー照射を真空中にて行うか、大気中または何らかのガスを充填した雰囲気にてレーザー照射を行う場合においては一段と顕著である。

【0041】 TF T 10の特性を決定せしめる条件として、シリコン膜30の結晶性は高い方が好ましいのであるが、それ以上に半導体膜を形成する結晶粒径の大小の影響が大きい。概して結晶粒の大型化を図る上ではプロセス雰囲気やアモルファスシリコン膜表面に酸素などの分子が存在する方が、その分子を核とした結晶成長が起るため、容易に大粒径化が図られる。そのため前記した結晶性ないし表面粗さといった問題があるにしろ、大気中でのレーザー照射や、アモルファス膜表面処理を行わずに結晶化を行っている。

【0042】 しかしながらこのような結晶化の手法であっては、大型化した結晶粒がTF T 10のチャンネル部に位置した場合と、大型結晶粒間を埋める様に存在する小型の結晶粒群がTF T 10のチャンネル部に位置した場合とではTF T 10の電気特性に差が生じ、ばらつきの原因となってしまう。特に前記したように、この場合得られる小型の結晶粒群の結晶性は高くないので、その影響は顕著である。また半導体膜表面に大きな表面荒れが生じてしまうことに対しても、これを覆うゲート絶縁膜の電氣的耐圧が低下してしまう問題が発生する。

【0043】 そこで、本発明では、レーザー照射を2度行うことを特徴としており、1度目の照射の前にはアモルファス膜の表面処理を行わずにレーザー照射を真空中にて行うか、大気中または何らかのガスを充填した雰囲気にてレーザー照射を行うことによって結晶粒の大型化を図る。続いて2度目の照射の前に、1度目の照射で得られた多結晶シリコン膜の表面処理を行い、酸化膜除去を行った後、2度目のエネルギー光の照射を真空中にて行う。そしてこの時のエネルギー光強度は、半導体膜に微結晶化が生じるエネルギー強度のしきい値を越えない強度であると共に、1度目のエネルギー光の照射強度を越えない強度とすることで、一度目の照射によって形成された大粒径を崩すことなく、その粒内の結晶性向上と、表面の荒れ低減を図り、高品質な結晶性半導体膜を、ばらつきなく形成できるようにしている。

【0044】 [実施例1] LPCVD装置を用いて成膜されたアモルファスシリコン膜30は、表面の処理をすることなく、レーザーアニール装置へと搬入する。1度

目のレーザー照射の雰囲気は真空であり、照射エネルギー密度は図6においてEaで示した上限値である。この照射により結晶粒の大型化が図られる。

【0045】続いて取り出された多結晶シリコン膜には酸化膜を取り除くための表面処理として、5%程度の希フッ酸溶液によって数十秒程度のエッチングを行う。この表面処理に続いてすぐさま再度レーザーアニール装置へと搬入し、2度目のレーザー照射を真空雰囲気にて行う。照射エネルギー密度は同じく図6において上限値Eaより10mJ/cm²程低くすることによって、その結晶性は1度目の大気中でのEaによる照射に比べて向上し、多結晶シリコン膜からの信号強度も半分以下に低下する。

【0046】ここで図6はアモルファスシリコン膜へのレーザー照射の結果であって、厳密には多結晶シリコン膜にレーザー照射を行った場合とは、低エネルギー密度領域の様子が幾分異なるのであるが、上限値Eaの発現するエネルギー密度と、その前後の様子はアモルファスシリコン膜へのレーザー照射の結果と同じとみなせる。

【0047】これにより大粒径化された粒内の結晶性向上はもちろん、その周辺にある小型の結晶粒群ならびにその粒界の結晶性が向上することによって、TFT特性自体の向上と共に、基板内の素子ばらつきの低減が図られる。

【0048】また、照射を行うレーザー光としてラインビームを用いているため、2度目のエネルギー光の照射は、ラインビームの長手方向を、1度目のレーザー照射のラインビーム長手方向とは90度回転している。これによってラインビームに生じている細かなエネルギー分布など不均一性を取り除くことが可能となり、基板内の結晶性の均一性向上に効果がある。

【0049】この方法によって得られたTFT10の特性を図7に示す。実線で示したのが本発明を用いた結果であり、波線で示した1度の照射のみによって得られた半導体膜から作成されたTFTに比べて、結晶性の向上に起因すると思われる立ち上がり特性の向上が見られる。

【0050】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス基板では、多結晶シリコン膜を得るためのエネルギー光照射を表面処理を前後して2回行うことによって、結晶粒を大型化し、かつ高い結晶性を有す

る高品質な結晶性半導体膜を形成することができ、高い移動度のTFTを均一性よく製造することができる。

【図面の簡単な説明】

【図1】(A)は、液晶表示装置のアクティブマトリクス基板を模式的に示す説明図、(B)は、その駆動回路に用いたCMOS回路の説明図である。

【図2】液晶表示装置のアクティブマトリクス基板上の画素領域を拡大して示す平面図である。

【図3】(A)は、図2のA-A'線における断面図、(B)は、図2のB-B'線における断面図である。

【図4】本発明の実施例において、図2の示すA-A'線における断面に対するTFTの工程断面図である。

【図5】レーザー溶融結晶化におけるエネルギー密度とシリコン膜に起きる変化との関係を示す説明図である。

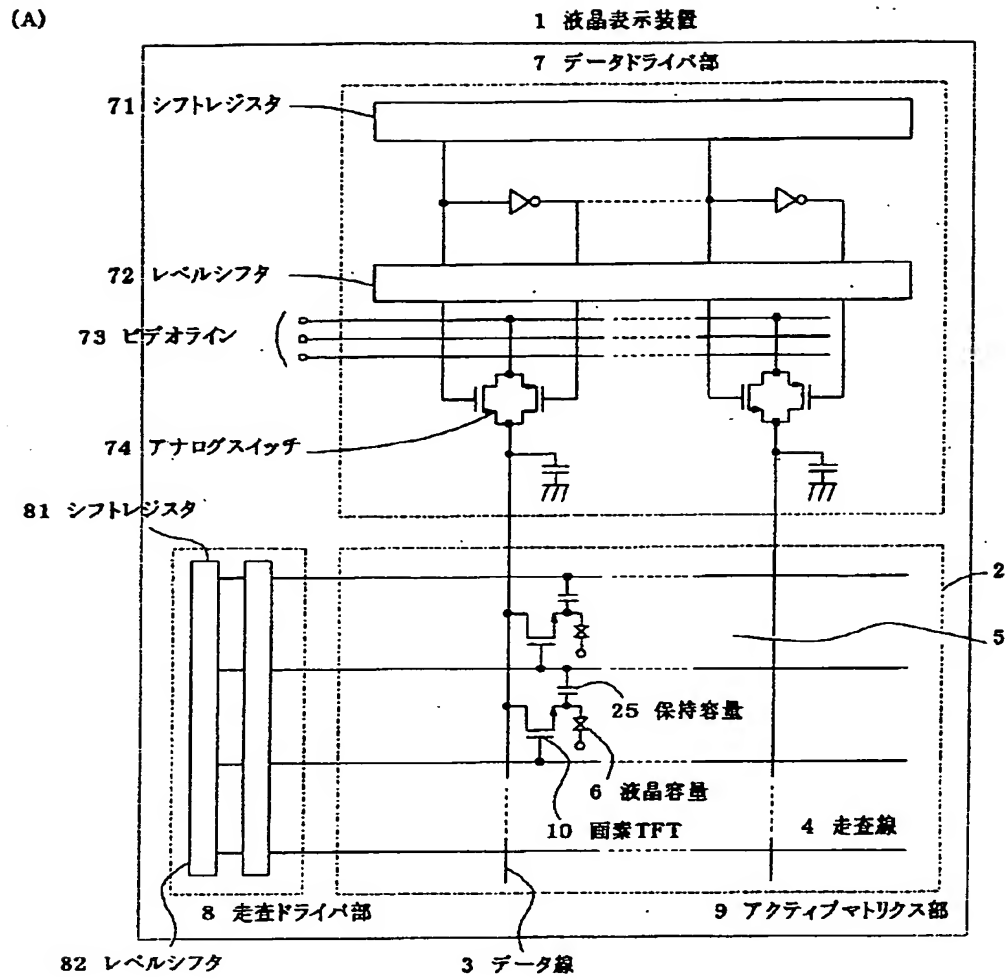
【図6】レーザー溶融結晶化におけるエネルギー密度と結晶性と表面粗さの関係を示すグラフである。

【図7】本発明の実施例に係る結晶性半導体膜を用いて作成したTFTの電気特性を示すグラフである。

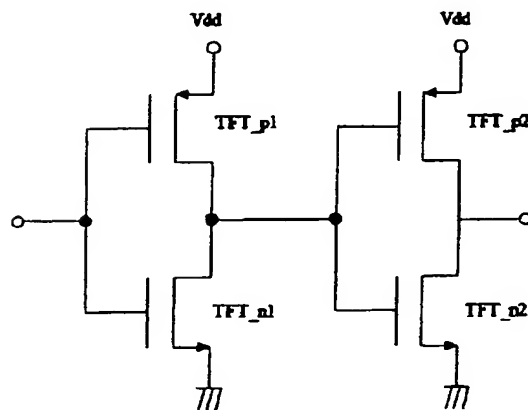
【符号の説明】

- | | |
|-------|--------------------|
| 1 | 液晶表示装置 |
| 2 | アクティブマトリクス基板 |
| 3 | データ線 |
| 4 | 走査線 |
| 5 | 画素領域 |
| 6 | 液晶容量 |
| 9 | アクティブマトリクス部 |
| 10 | TFT |
| 11 | ソース領域 |
| 12 | ドレイン領域 |
| 13 | チャネル領域 |
| 14 | ゲート絶縁膜 |
| 15 | ゲート電極 |
| 16 | 層間絶縁膜 |
| 17、18 | コンタクトホール |
| 19 | 画素電極 |
| 20 | ガラス基板 |
| 21 | 下地保護膜 |
| 25 | 保持容量 |
| 30 | シリコン膜 (シリコン膜30) |
| 31 | 島状のシリコン膜 (シリコン膜30) |

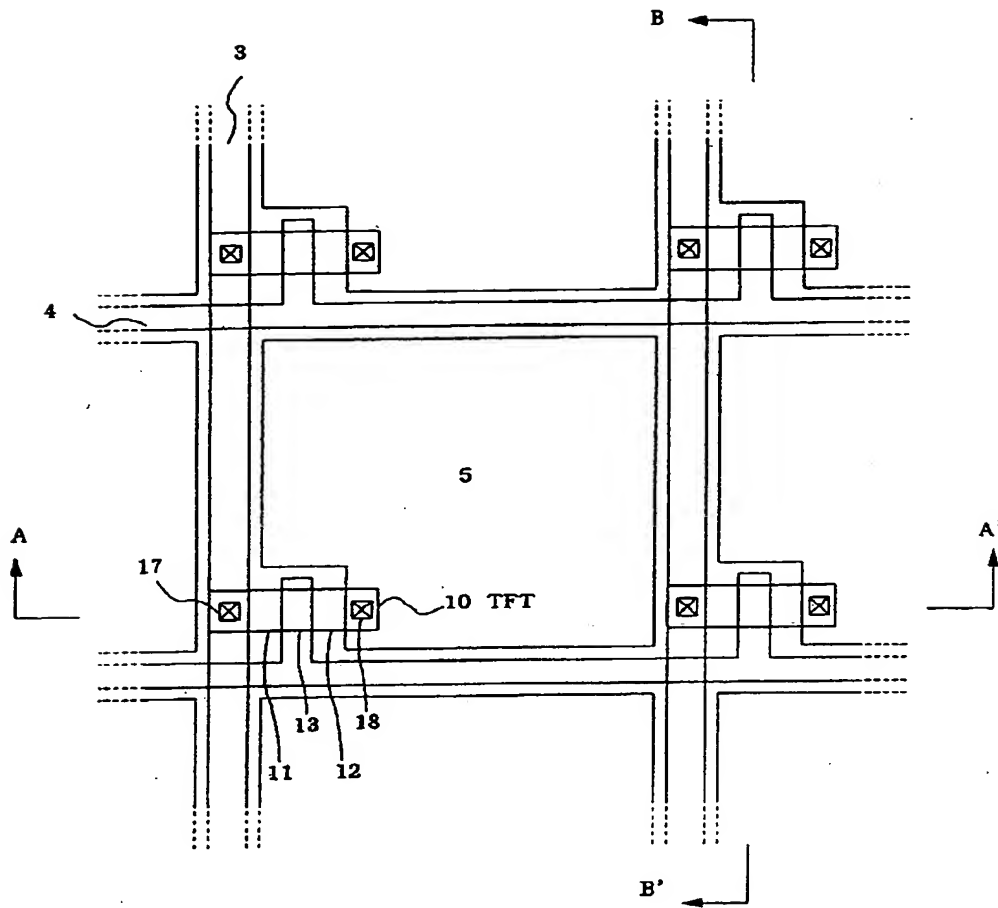
【図1】



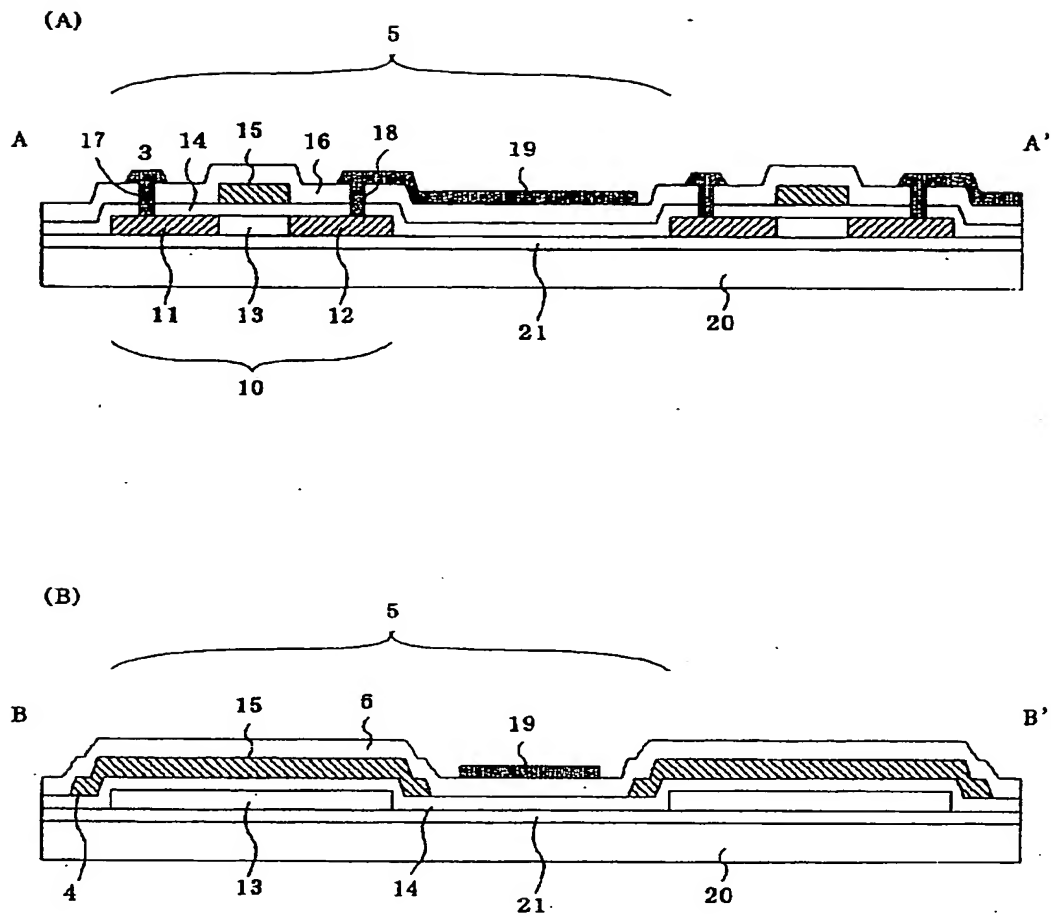
(B)



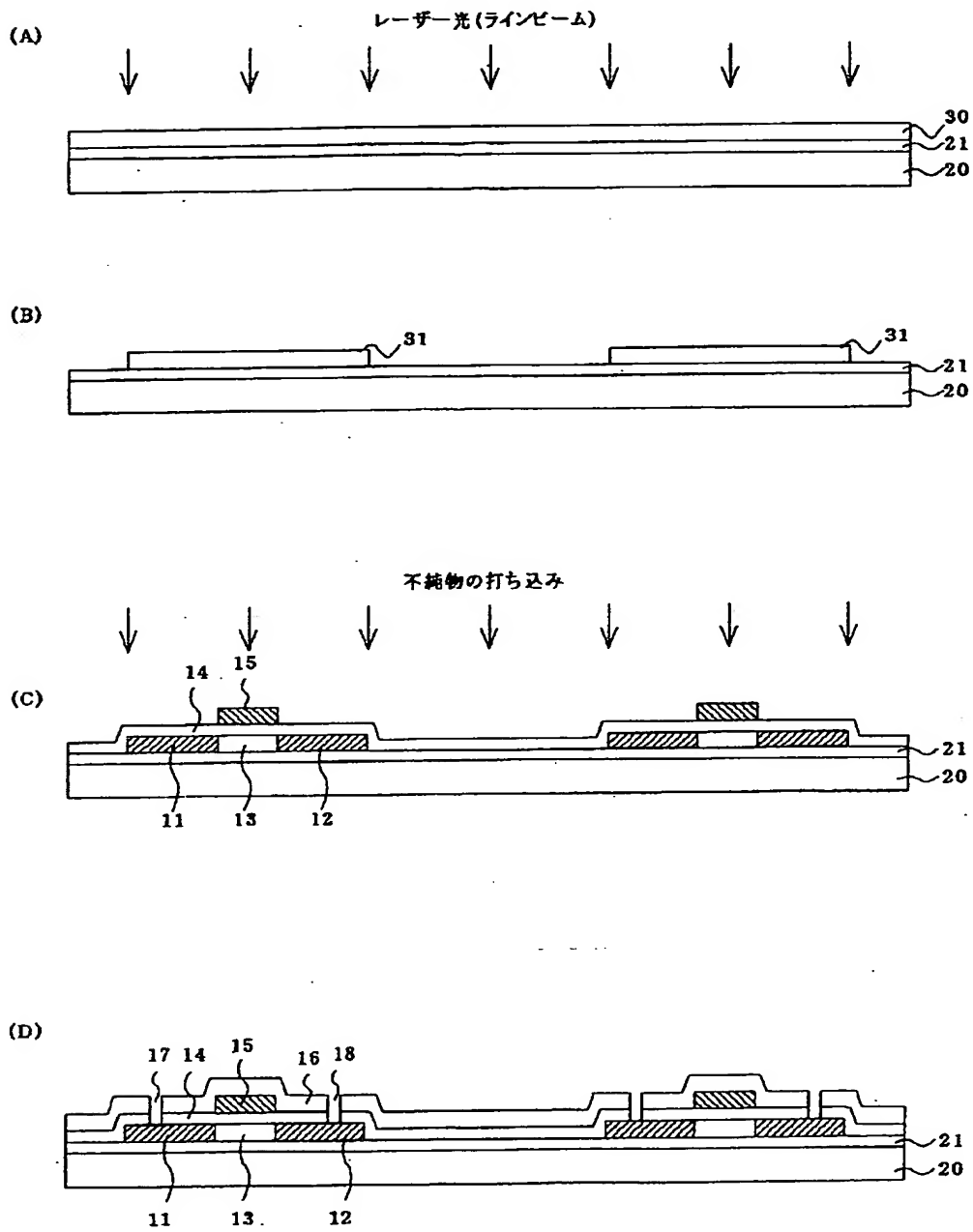
【図 2】



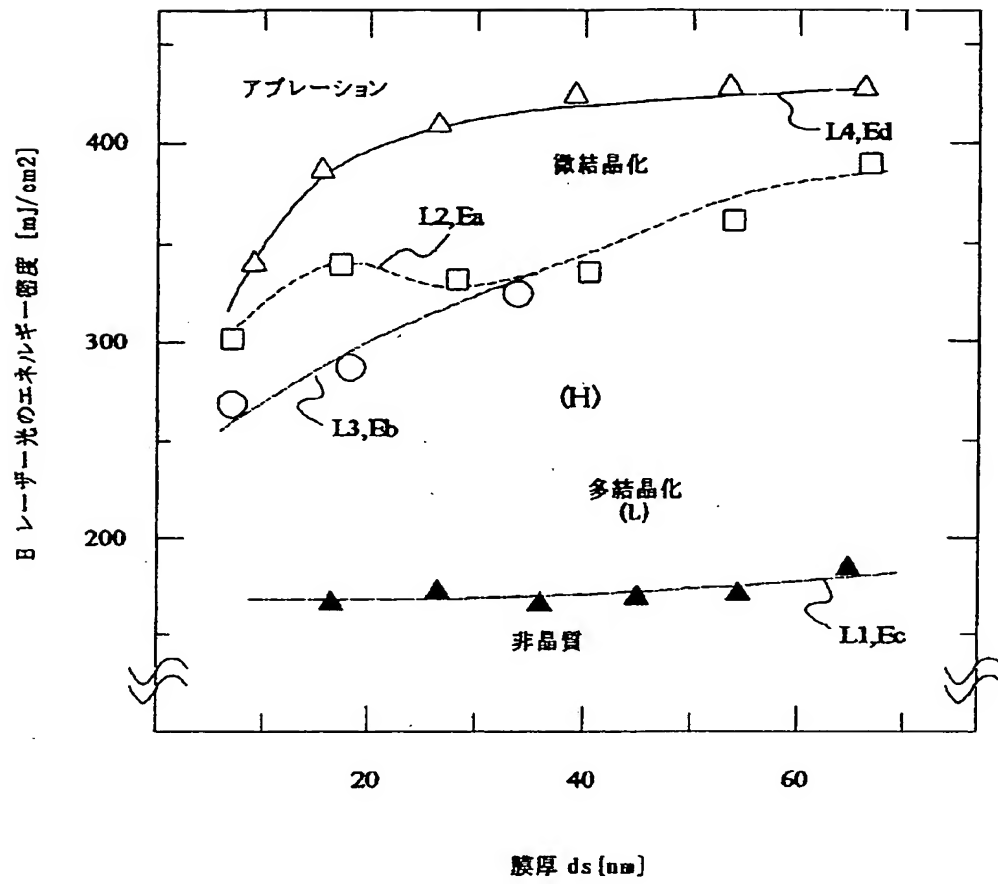
【図 3】



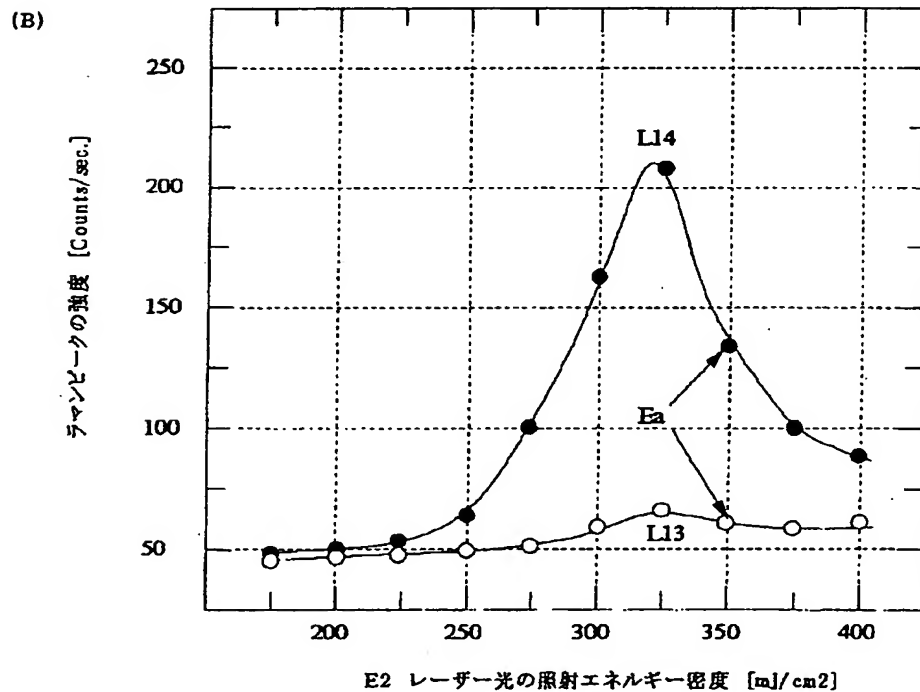
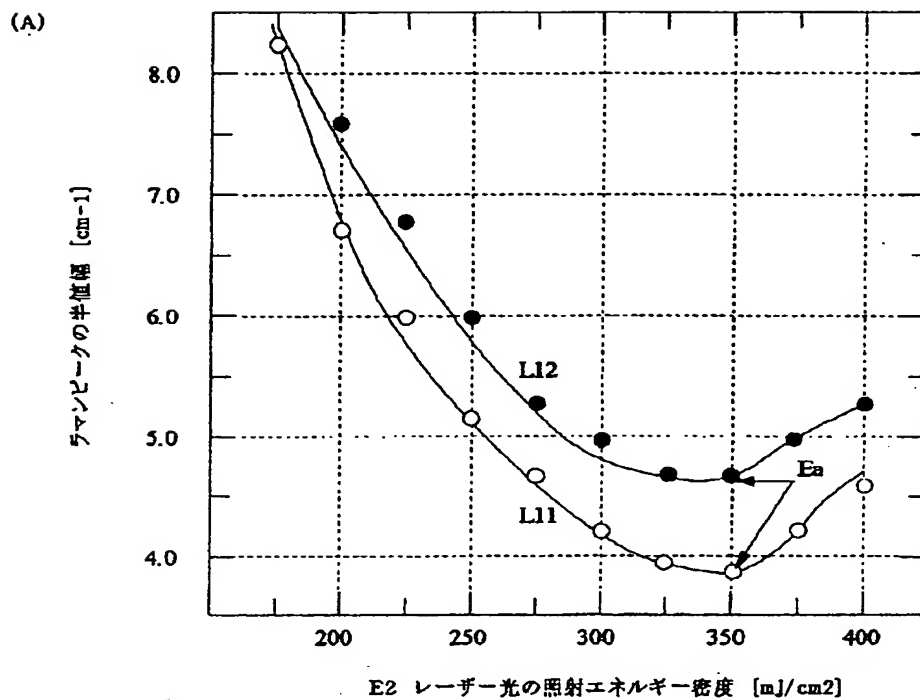
【図 4】



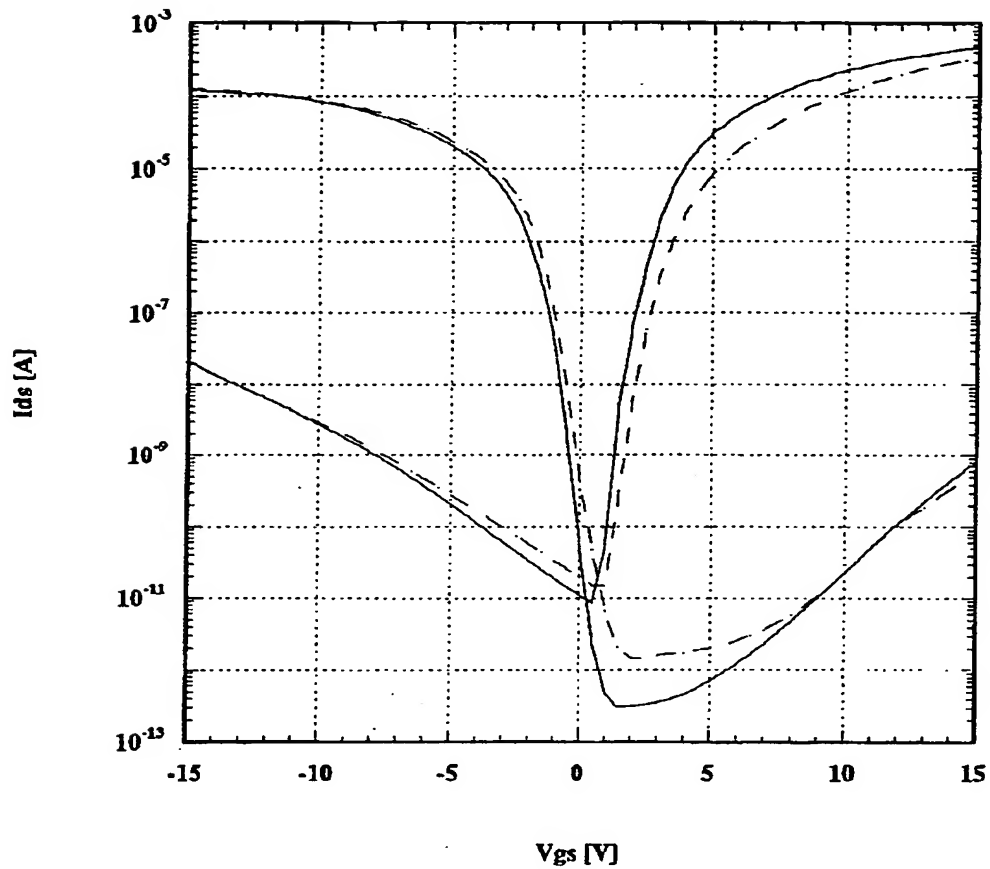
【図 5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

ターマコード (参考)

H 0 1 L 21/336

F ターム (参考) 2H092 JA24 JA34 KA05 MA07 MA09
 MA29 MA30 NA24 NA27
 5C094 AA21 BA03 BA43 CA19 DA09
 DA13 DB04 EB02 FB03 FB14
 GB10 JA09
 5F052 AA02 BA02 BA07 BB07 CA04
 CA07 DA02 DB02 EA11 EA15
 FA19 HA01 JA01
 5F110 AA01 BB02 CC02 DD02 DD13
 DD24 EE04 EE44 FF02 FF30
 GG02 GG13 GG25 GG47 HJ01
 HJ23 NN02 NN04 NN23 NN35
 PP04 PP05 PP06 PP29 PP31
 QQ09 QQ11